

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

PAT-NO: JP407111095A

DOCUMENT-IDENTIFIER: JP 07111095 A

TITLE: BOOSTER CIRCUIT AND NON-VOLATILE  
SEMICONDUCTOR STORAGE  
DEVICE PROVIDED WITH BOOSTER CIRCUIT

PUBN-DATE: April 25, 1995

INVENTOR-INFORMATION:

NAME

TANZAWA, TORU

TANAKA, TOMOHARU

NAKAMURA, HIROSHI

TANAKA, YOSHIYUKI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP05354151

APPL-DATE: December 28, 1993

INT-CL (IPC): G11C016/06, G05F001/00 , H02M003/07

ABSTRACT:

PURPOSE: To provide a booster circuit which can improve power efficiency while an output potential is low, and can shorten a rising time of a boosting potential.

CONSTITUTION: In a booster circuit boosting an input potential up to a prescribed potential, plural boosting cells 10 consisting of a capacitor and a switching element and a connection switching circuit 30 which switches a

connection state of the boosting cells 10 are provided.  
Boosting cell groups  
20 constituted of one or plural boosting cells 10 connected  
in series are  
connected in parallel to an output, also the number of the  
boosting cells 10 in  
the boosting cell groups 20 and the number of the boosting  
cell groups 20 are  
made variable.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-111095

(43)公開日 平成7年(1995)4月25日

(51)IntCl <sup>*</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
G 0 5 F 1/00	J	4237-5H		
H 0 2 M 3/07		8726-5H		
			G 1 1 C 17/ 00	3 0 9 D

審査請求 未請求 請求項の数3 F D (全 12 頁)

(21)出願番号 特願平5-354151

(22)出願日 平成5年(1993)12月28日

(31)優先権主張番号 特願平5-203351

(32)優先日 平5(1993)8月17日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 中村 寛

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

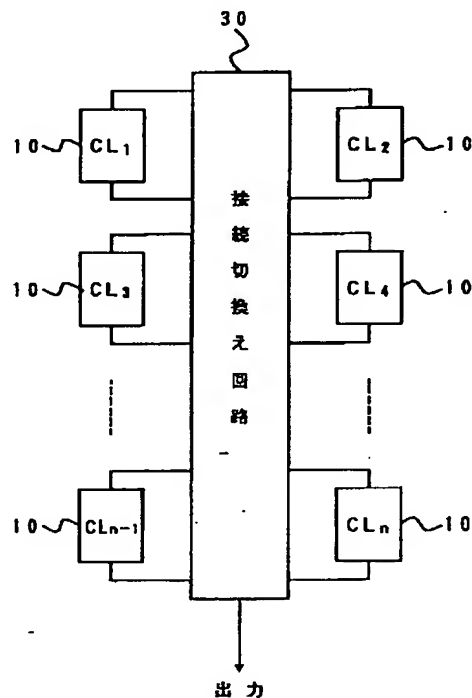
最終頁に続く

(54)【発明の名称】 昇圧回路及び昇圧回路を備えた不揮発性半導体記憶装置

(57)【要約】

【目的】 出力電位が低い間の電力効率を上げることができ、昇圧電位立上がり時間を短縮することのできる昇圧回路を提供すること。

【構成】 入力電位を所定の電位まで昇圧する昇圧回路において、キャパシタ及びスイッチング素子からなる複数個の昇圧セル10と、これらの昇圧セル10の接続状態を切換える接続切換え回路30とを設け、接続切換え回路30により、昇圧セル10を1個又は複数個直列に接続して構成する昇圧セル群20を出力に対して並列に接続し、かつ昇圧セル群20内の昇圧セル10の数と昇圧セル群20の数を可変することとを特徴とする。



## 【特許請求の範囲】

【請求項1】入力電位を昇圧して出力する複数の昇圧セルと、これらの昇圧セルの接続状態を切換える接続切換え回路とを具備し、

前記接続切換え回路は、昇圧セルを1個又は複数個直列に接続して構成する昇圧セル群を出力に対して並列に接続し、かつ昇圧セル群内の昇圧セルの数と昇圧セル群の数を可変するものであることを特徴とする昇圧回路。

【請求項2】昇圧用キャパシタと電荷転送ゲートで構成される複数の昇圧セルと、これらの昇圧セルの出力に対して直列接続される数と前記昇圧用キャパシタの容量の大きさを可変にする段数容量可変手段とを具備し、前記段数容量可変手段は、出力電圧の低い間は、前記昇圧用キャパシタの容量を大きく、出力に対して直列接続される昇圧セルの数を小さくし、出力電圧の上昇と共に、前記昇圧用キャパシタの容量を小さく、出力に対して直列接続される昇圧セルの数を大きくするものであることを特徴とする昇圧回路。

【請求項3】電源電圧よりも高い電圧を生じる昇圧回路を備えた不揮発性半導体記憶装置において、前記昇圧回路は、複数の昇圧セルが直列接続された第1及び第2の昇圧セル群と、第1及び第2の昇圧セル群の接続状態を切換える接続切換え回路とを具備し、前記接続切換え回路は、第1の昇圧セル群の出力端子と第2の昇圧セル群の出力端子間に接続された第1のMOSトランジスタと、第1の昇圧セル群の出力端子と第2の昇圧セル群の入力端子間に接続された第2のMOSトランジスタとからなり、第1及び第2のMOSトランジスタは各々のゲートに入力される信号電圧によって選択的にオンするものであることを特徴とする昇圧回路を備えた不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電位を昇圧するための昇圧回路及びそれを備えた不揮発性半導体記憶装置に係わり、特にEEPROM等の半導体集積回路装置の内部に形成される昇圧回路の改良に関する。

## 【0002】

【従来の技術】従来、半導体不揮発性記憶装置(EEPROM)においては、信号の書込みや消去時に電源電位よりも高い電位を必要とするため、図18に示すような複数の昇圧セルCLを直列接続した昇圧回路が用いられている。昇圧セルCLは、図19(a)(b)に示すように、キャパシタCとスイッチング素子Qで構成されている。また、この昇圧回路の具体的構成を図20(a)に示し、それを駆動するためのクロック $\phi$ 、 $\phi$ を図20(b)に示しておく。

【0003】この昇圧回路では、出力に対して直列接続される昇圧セルの個数は必要とする高電位の大きさに応

じて固定され、一般にその個数を固定したまま駆動される。従って従来の昇圧回路では、直列接続される昇圧セルの個数が予め固定された昇圧セルの個数より少数で十分な期間、即ち昇圧電位立上がり期間において、不必要に電力効率を落としている。このため、必要な電位になるまでの時間が長くなるという問題があった。

## 【0004】

【発明が解決しようとする課題】このように、EEPROM等の半導体集積回路装置に形成される従来の昇圧回路においては、接続される昇圧セルの個数が予め固定された昇圧セルの個数より少数で十分な期間において、不必要に電力効率を落とし、昇圧電位立ち上がり時間が長くなるという問題があった。

【0005】本発明は、上記事情を考慮してなされたもので、その目的とするところは、出力電位が低い間の電力効率を上げることができ、昇圧電位立ち上がり時間を短縮することのできる昇圧回路及びこのような昇圧回路を備えた不揮発性半導体記憶装置を提供することにある。

## 【0006】

【課題を解決するための手段】本発明は、上記課題を解決するために、次のような構成を採用している。

【0007】即ち、本発明(請求項1)は、入力電位を昇圧して出力する複数の昇圧セルと、これらの昇圧セルの接続状態を切換える接続切換え回路とを備えた昇圧回路において、接続切換え回路は、昇圧セルを1個又は複数個直列に接続して構成する昇圧セル群を出力に対して並列に接続し、かつ昇圧セル群内の昇圧セルの数と昇圧セル群の数を可変するものであることを特徴とする。

【0008】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 昇圧セルの接続状態を昇圧回路の駆動中に切換えること。

(2) 昇圧セル群は、出力の方向に電荷を転送するように位相のずれた複数のクロックにより駆動されること。

(3) 接続切換え回路は、出力電位の上昇と共に昇圧セル群中の昇圧セルの数を増やすものであること。

(4) 接続切換え回路は、出力電位の上昇と共に昇圧セル群中の昇圧セルの数を増やし、同時に昇圧セル群の数を減らすものであること。

(5) 接続切換え回路は、昇圧セル群の数がN個で、 $i$  ( $1 \leq i \leq N$ ) 番目の昇圧セル群中の昇圧セルの数が $M_i$ であるとき、出力電位の上昇とともに $M_i$ の総和一定になるようにNを減らすものであること。

(6) 接続の切換えは、予め設定された時間に行われること。

(7) 接続の切換えは、外部コマンドによって行われること。

【0009】また、本発明(請求項2)は、昇圧用キャパシタと電荷転送ゲートで構成される複数の昇圧セルと、これらの昇圧セルの出力に対して直列接続される数

と昇圧用キャパシタの容量の大きさを可変にする段数容量可変手段とを備えた昇圧回路において、段数容量可変手段は、出力電圧の比較的低い間は、昇圧用キャパシタの容量を大きく、出力に対して直列接続される昇圧セルの数を小さくし、出力電圧の上昇と共に、昇圧用キャパシタの容量を小さく、出力に対して直列接続される昇圧セルの数を大きくするものであることを特徴とする。

【0010】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 複数の昇圧セルが直列接続された第1及び第2の昇圧セル群を有する昇圧回路において、第1の昇圧セル群の出力が第2の昇圧セル群の入力になるように接続されるとき、第1の昇圧セル群の出力と昇圧回路の出力の間に電荷転送ゲートを設ける。昇圧回路の出力電圧の比較的低い間は、昇圧用キャパシタを駆動するクロックを第1及び第2の昇圧セル群を昇圧回路の出力に対して並列になるようにし、その結果、昇圧用キャパシタの容量は比較的大きく、出力に対して直列接続される昇圧セルの数は比較的小さくできる。昇圧回路の出力電圧が比較的大きくなったとき、昇圧用キャパシタを駆動するクロックを第1及び第2の昇圧セル群を昇圧回路の出力に対して直列になるようにし、即ち第1の昇圧セル群の出力が第2の昇圧セル群の入力になるようにし、その結果、昇圧用キャパシタの容量は比較的小さく、出力に対して直列接続される昇圧セルの数を比較的大きくできる。

(2) 出力に対して直列接続される昇圧セルの数と昇圧用キャパシタの容量の大きさ変更は、昇圧回路の出力電圧を検出して予め設定された基準電圧と比較することによって行われること。

(3) 出力に対して直列接続される昇圧セルの数と昇圧用キャパシタの容量の大きさ変更は、予め設定された時間に行われること。

(4) 出力に対して直列接続される昇圧セルの数と昇圧用キャパシタの容量の大きさ変更は、外部コマンドによって行われること。

【0011】また、本発明（請求項3）は、不揮発性半導体記憶装置において、複数の昇圧セルが直列接続された第1及び第2の昇圧セル群と、第1及び第2の昇圧セル群の接続状態を切換える接続切換え回路とを有する昇圧回路を備え、接続切換え回路は、第1の昇圧セル群の出力端子と第2の昇圧セル群の出力端子間に接続された第1のMOSトランジスタと、第1の昇圧セル群の出力端子と第2の昇圧セル群の入力端子間に接続された第2のMOSトランジスタとからなり、第1及び第2のMOSトランジスタは各々のゲートに入力される信号電圧によって選択的にオンするものであることを特徴とする。

【0012】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 第1の昇圧セル群の出力端子を入力としブート出力

を第1のMOSトランジスタのゲートに与える第1のブート回路と、第1の昇圧セル群の出力端子を入力としブート出力を第2のMOSトランジスタのゲートに与える第2のブート回路とを設け、第1及び第2のブート回路に入力する信号によって第1及び第2のMOSトランジスタを選択的にオンすること。

(2) ブート回路を次のように構成したこと。即ち、一端にパルスV1が入力されるキャパシタC1と、一端にパルスV2が入力されるキャパシタC2と、第1の昇圧セル群の接続端子をソースに、キャパシタC1の他端をドレインに、昇圧回路の出力及びキャパシタC2の他端をゲートに接続されるMOSトランジスタQn7と、第1の昇圧セル群の接続端子をソースに、昇圧回路の出力をドレインに、キャパシタC1の他端をゲートに接続されるMOSトランジスタQn8と、外部の低電位をソースに、キャパシタC1の他端をドレインに接続され、昇圧回路の出力を切換えるときに論理値を反転する信号をゲートに入力されるMOSトランジスタQn9と、外部の低電位をソースに、キャパシタC2の他端をドレインに接続され、論理値を反転することによって昇圧回路の出力を切換える信号をゲートに入力されるMOSトランジスタQn10と、から構成すること。

【0013】

【作用】本発明によれば、昇圧回路の出力電位が低いうちは多数の昇圧セルを出力に対して並列接続された昇圧回路を用いることができ、これによって出力電位の低い間、直列接続する昇圧セルの個数を固定したまま駆動される従来の昇圧回路に比べ、電力効率を上げることができる。

【0014】例えば、昇圧セルをN個接続された昇圧回路において、昇圧回路駆動開始時に昇圧セルをN個並列接続しておくことによって、昇圧回路の負荷容量が回路内容量に比べて十分大きい場合、昇圧セルをN個直列接続された昇圧回路に比べて、原理的にN倍の供給電流を得ることができる。これにより、昇圧電位立上がりが速くなる。そして、電位の上昇と共に昇圧セルの並列接続数を減らし、直列接続数を増やすことにより、必要な電位を得ることができる。

【0015】このようにして、昇圧回路の電力効率を最適にするように、昇圧回路を駆動開始時に少直列多並列接続構成し、出力電位の上昇と共に多直列少並列接続構成に編成していくことにより、従来の昇圧回路に比べ電力効率が高効率になり、その結果、昇圧電位立上がり時間は短縮される。また、この方法により出力レベルを可変にすることも可能となる。

【0016】また、このような昇圧回路を具備した不揮発性半導体記憶装置であれば、昇圧電位立上がり時間の短縮によって高速化がはかれる。また、従来と同様の立上がり時間の仕様の場合でも、セルの容量を小さくできるので低電力化を達成することができる。

【0017】

【実施例】以下、本発明の実施例を図面を参照して説明する。

(実施例1) 図1は、本発明の第1の実施例に係わる昇圧回路の概略構成を示すブロック図である。この昇圧回路は、 $n$ 個の昇圧セル10 (CL1, CL2, ..., CL $n$ ) と、接続切換え回路30とから構成されている。昇圧セル10は、前記図19に示すようにキャパシタとスイッチング素子等で構成されたものである。接続切換え回路30は多数のスイッチング素子からなるもので、1

個又は複数個の昇圧セル10を直列接続して後述する昇圧セル群20を複数組構成し、これらの昇圧セル群20を出力に対して並列接続するもので、かつ昇圧セル群30内の昇圧セル10の数及び昇圧セル群20の数を可変し得るものとなっている。

【0018】このような構成において、駆動開始時刻 $t_0$ から時刻 $t_1$ までは、図2(a)に示すように、 $n$ 個の昇圧セル10はそれぞれで1つの昇圧セル群20の構成要素であり、それらは出力に対して互いに並列接続されて駆動される。

【0019】時刻 $t_1$ で昇圧セル群20の構成及び接続が切換えられ、図2(b)に示すように、各昇圧セル群20は2個の直列接続される昇圧セル10で構成される。このとき、出力に対して互いに並列接続されて駆動される昇圧セル群20の数は $n/2$ 個となる。

【0020】時刻 $t_2 \sim t_{k-1}$ で、同様に昇圧セル群20の構成及び接続が切換えられ、昇圧セル群20中の昇圧セル10の数は増えていき、昇圧セル群20の数は減っていく。

【0021】時刻 $t_k$ 以降では、図2(c)に示すように、 $n$ 個の昇圧セル10を全て出力に対して互いに直列接続される一個の昇圧セル群20が構成され、この昇圧セル群20が駆動される。

【0022】従来の昇圧回路は、前記図18に示すように $n$ 個の昇圧セルで構成され、駆動開始時刻 $t_0$ 以降、出力に対して互いに直列接続される昇圧セルの数を一定にしたままで駆動される。

【0023】図3は、本実施例の昇圧回路の出力波形を従来と比較して示す図である。昇圧回路の電力効率を最適にするように、昇圧回路を駆動開始時に少直列多並列接続構成し、出力電位の上昇と共に多直列少並列接続構成に編成していくことによって、従来の昇圧回路に比べ高効率になり、その結果、昇圧電位立上がり時間は短縮されることを表している。

【0024】このように本実施例によれば、出力に対して並列接続する昇圧セル群20の数と、昇圧セル群20内の昇圧セル10の数を出力電位上昇と共に可変することにより、電力効率の向上をはかることができ、特に昇圧電位立上がり時間を短くすることができる。このため、EEPROMの昇圧回路に適用した場合、EEPROM

OMの書き込み及び消去時間の短縮に寄与することが可能となる。

(実施例2) 図4は、本発明の第2の実施例に係わる昇圧回路の概略構成を示すブロック図である。この昇圧回路は、2つの昇圧セル群20 (A; B)、接続切換え回路30、出力電圧検出回路40で構成される。

【0025】昇圧セル群A、Bはそれぞれ、複数の昇圧セル10で構成されている。接続切換え回路30は、これらの昇圧セル群の接続を切換え入力信号によって切換えを行うものであり、例えばMOSトランジスタで構成されている。出力電位検出回路40は、昇圧回路の出力電位 $V_{pp}$ を予め設定された電位と比較して、これらの電圧の大小に応じた論理値を出力するものである。

【0026】駆動開始以降、昇圧セル群Aの接続ノードN0は、接続切換え回路30によって昇圧セル群Bの接続ノードN1に接続され、これらの昇圧セル群A、Bは出力に対して互いに並列接続されて駆動される。昇圧回路の出力電位 $V_{pp}$ が予め設定された電位より大きくなると、出力電位検出回路40の出力はその論理値を反転し、昇圧セル群Aの接続ノードN0は接続切換え回路30によって昇圧セル群Bの接続ノードN2に接続切換えられる。その結果、これ以降、これらの昇圧セル群A、Bは出力に対して互いに直列接続されて駆動される。

【0027】このように本実施例によれば、出力電位が低いときは昇圧セル群A、Bを並列接続して昇圧電位の立上がりを速め、その後に昇圧セル群A、Bを直列接続して十分な昇圧電位を得ている。従って、電力効率の向上をはかることができ、第1の実施例と同様の効果が得られる。

(実施例3) 図5は、本発明の第3の実施例に係わる昇圧回路の概略構成を示すブロック図である。この昇圧回路は、昇圧セル群20 (CG1, ..., CG4)、接続切換え回路30 (S1, S2, S3)、接続切換えカウンタ50で構成されている。

【0028】接続切換えカウンタ50は駆動開始からの時間をカウントするもので、その時間が予め設定された時間より長くなると、接続切換えカウンタ50の出力はその論理値を反転する。駆動開始以降、昇圧セル群CG1の接続ノードN10は、接続切換え回路S1によって昇圧セル群CG2の接続ノードN11に接続され、同様にN20はN21に、N30はN31にそれぞれ接続される。

【0029】駆動開始時刻から予め設定された第1の時間が経つと、昇圧セル群CG1、CG2及び昇圧セル群CG3、CG4の接続がそれぞれ接続切換え回路S1、S2によってN10はN12に、N20はN22にそれぞれ切換えられる。その結果、昇圧セル群CG1、CG2中の昇圧セルを直列接続された第1の昇圧セル群と昇圧セル群CG3、CG4中の昇圧セルを直列接続された第2の昇圧セル群とが並列に接続された回路構成に編成される。

【0030】駆動開始時刻から予め設定された第2の時

間が経つと、接続切換え回路S3によってN30はN32に接続され、その結果、第1の昇圧セル群と第2の昇圧セル群は出力に対して互いに直列接続される。即ち、昇圧回路駆動開始時刻から予め設定された第2の時間経過以降、第1の昇圧セル群中の昇圧セルと第2の昇圧セル群中の昇圧セルが全て出力に対して互いに直列接続される単一の昇圧セル群で構成される。

【0031】このように本実施例では、昇圧セル群CG1、～、CG4の接続関係を、駆動開始時から順に、昇圧セル群CG1、～、CG4の並列接続構成、昇圧セル群CG1、CG2の直列接続回路と昇圧セル群CG3、CG4の直列接続回路との並列接続構成、昇圧セル群CG1、～、CG4の直列接続構成、と切替えることにより、電力効率の向上をはかることができる。

(実施例4) 図6は、本発明の第4の実施例に係わる昇圧回路の概略構成を示すブロック図である。この昇圧回路は、 $n$ 個の昇圧セル10(C1、～、Cn)、接続切換え回路30(S1、～、S1)、コマンドバッファ60、入力バッファ70で構成される。

【0032】接続切換え回路30は、第3の実施例のそれを拡張したものであり、時間の経過と共に順次、1個の昇圧セルからなる昇圧セル群を $n$ 個並列、2個の昇圧セルからなる昇圧セル群を $n/2$ 個並列、4個の昇圧セルからなる昇圧セル群を $n/4$ 個並列、…と切替えるものとなっている。

【0033】この回路では、駆動開始時刻以降に入力バッファ70に外部コマンドが入力されると、コマンドバッファ60を通して接続切換え回路30により昇圧セル10間の接続が切換えられる。そして、その入力の度に昇圧回路の出力に対して並列接続される昇圧セル群の数が減っていく。

(実施例5) 図7は、本発明の第5の実施例に係わる昇圧回路を示すもので、接続切換え回路30を具体的に表した回路構成図である。複数の昇圧セルからなる2つの昇圧セル群20(CG1、CG2)に対してスイッチング素子としてのnMOSトランジスタQn3、Qn4が接続されている。

【0034】nMOSトランジスタQn3、Qn4は、昇圧セル群CG1、CG2の昇圧回路出力に対する接続を切替えるために設けられており、接続又は切離される接続ノードにこれらのソースとドレインが接続されている。即ち、第1のMOSトランジスタQn3のソースは第1の昇圧セル群CG1の出力端子に、ドレインは第2の昇圧セル群CG2の出力端子に接続されている。第2のMOSトランジスタQn4のソースは第1の昇圧セル群CG1の出力端子に、ドレインは第2の昇圧セル群CG2の入力端子に接続されている。

【0035】nMOSトランジスタQn3、Qn4の各々のゲートには、高電位V<sub>qq</sub>、低電位V<sub>ss</sub>、pMOSトランジスタQp1、Qp2、nMOSトランジスタQn1、Qn2で

構成されるフリップ・フロップの2出力のそれぞれに接続されている。そして、接続切換えカウンタ50の出力はフリップ・フロップの一方の入力端に直接、またインバータIを介して他方の入力端に供給されている。

【0036】このような構成においては、接続切換えカウンタ50の出力がハイであるときにQn3はオンしており、一方Qn4はオフしている。従って、昇圧セル群CG1、CG2は、昇圧回路の出力に対して並列接続される。次に、接続切換えカウンタ50の出力の論理値が反転しローとなると、Qn3はオフし、Qn4はオンする。その結果、昇圧セル群CG1、CG2は、昇圧回路の出力に対して直列接続に切換えられる。

(実施例6) 図8は、本発明の第6の実施例に係わる昇圧回路を示すもので、接続切換え回路を具体的に表した別の回路構成図である。この回路は、昇圧セル群の接続切り換えのためのMOSTランジスタにブート回路を設けたものである。

【0037】nMOSトランジスタQn5、Qn6は、昇圧セル群CG1、CG2の昇圧回路出力に対する接続を切替えるために設けられており、接続又は切離される接続ノードにこれらのソースとドレインが接続されている。即ち、Qn5のソースは第1の昇圧セル群CG1の出力端子に、ドレインは第2の昇圧セル群CG2の出力端子に接続されている。Qn6のソースは第1の昇圧セル群CG1の出力端子に、ドレインは第2の昇圧セル群CG2の入力端子に接続されている。

【0038】nMOSトランジスタQn5のゲートには昇圧セル群CG1の出力端子(接続ノードN)の電位を入力とするブート回路80(BT1)の出力が印加され、nMOSトランジスタQn6のゲートには昇圧セル群CG1の出力端子の電位を入力とするブート回路80(BT2)の出力が印加される。そして、これらのBT1、BT2は出力電位検出回路40の出力により制御されるものとなっている。

【0039】出力電位検出回路40は、昇圧回路の出力電位V<sub>pp</sub>を予め設定された電位と比較して、これらの電圧の大小に応じた論理値を出力する。昇圧回路の出力電位V<sub>pp</sub>が予め設定された電位より低い間、BT1の出力は昇圧セル群CG1の接続ノードNの電位のブート電位となり、BT2の出力は低電位となり、Qn5はオン、Qn6はオフとなる。従って昇圧セル群CG1、CG2は、昇圧回路の出力に対して並列接続される。

【0040】次に、昇圧回路の出力電位V<sub>pp</sub>が予め設定された電位より高くなると、出力電位検出回路40の出力の論理値が反転し、Qn5はオフ、Qn6はオンとなる。その結果、昇圧セル群CG1、CG2は、昇圧回路の出力に対して直列接続に切換えられる。

【0041】図9は、図8のブート回路の具体的な例を示す回路構成図である。図10は、このブート回路の入出力波形である。このブート回路は、一端にパルスV1



が入力されるキャパシタC1と、一端にパルスV2が入力されるキャパシタC2と、昇圧セル群CG1の接続ノードN1をソース、キャパシタC1の他端をドレイン、本回路の出力及びキャパシタC2の他端をゲートに接続されるnMOSトランジスタQn7と、昇圧セル群CG1の接続ノードN1をソース、本回路の出力をドレイン、キャパシタC1の他端をゲートに接続されるnMOSトランジスタQn8と、外部の低電位をソース、キャパシタC1の他端をドレイン、本回路の出力を切換えるときに論理値を反転する信号V0をゲートに接続されるnMOSトランジスタQn9と、外部の低電位をソース、キャパシタC2の他端をドレイン、論理値を反転することによって本回路の出力を切換える信号V0をゲートに接続されるnMOSトランジスタQn10と、で構成されている。

【0042】但し、本回路の出力を切換えるときに論理値を反転する信号V0がハイであるときは、キャパシタC1、C2の一端に入力されるパルスV1、V2はローにしておく。V0がローになってから、パルスV1、V2が同時にハイにならないように交互にハイ、ローを繰り返していくと、本回路の出力は昇圧セル群CG1の接続ノードN1のブート電位に近づいていく。

【0043】このようなブート回路を用いれば、スイッチング用MOSトランジスタのソースに与えられる電位が多数の昇圧セルにより昇圧されて高くなった場合でも、該MOSトランジスタのゲート電位をソースに対して十分に高くすることができ、該MOSトランジスタを介して出力される昇圧電位の低下を防止することができる。

(実施例7) 図11は、本発明の第7の実施例に係わる昇圧回路の具体的構成を示す回路構成図である。基本的な構成は図20に示した従来回路(IEEE Journal of Solid-State Circuits, vol.SC-11, No.3, June 1976, p374-378)と同様であるが、本実施例ではこれに加えて、段数容量可変手段が設けられている。

【0044】昇圧用キャパシタQD1~QD4と電荷転送ゲートQn5~Qn8で4つの昇圧セルが構成され、各々の昇圧セルにはQn1~Qn4を介して電源Vccがそれぞれ印加される。

【0045】ここで、各々の昇圧セルは前記図19(a)に示したものと等価であり、第1の昇圧セル(QD1, Qn5, Qn1)のノードN2は第2の昇圧セル(QD2, Qn6, Qn2)のノードN1に接続され、第2の昇圧セルのノードN2は第3の昇圧セル(QD3, Qn7, Qn3)のノードN1に接続され、第3の昇圧セルのノードN2は第4の昇圧セル(QD4, Qn8, Qn4)のノードN1に接続され、第4の昇圧セルのノードN2は出力端に接続されている。ここまでは、従来の回路構成と同様である。

【0046】第1の昇圧セルのノードN1はトランジス

タQn9を介して出力端に接続され、第2の昇圧セルのノードN1はトランジスタQn10を介して出力端に接続され、第3の昇圧セルのノードN1はトランジスタQn11を介して出力端に接続されている。また、第1~第3の昇圧セルの各々のノードN3には、NANDゲートG(G1~G10)、インバータI(I1~I5)、遅延回路D(D1, D2)からなる論理回路を介して駆動パルス $\phi_{on}$ が印加され、第4の昇圧セルのノードN3には駆動パルス $\phi$ が印加されている。

【0047】駆動パルス $\phi_{on}$ 、 $\phi$ は昇圧回路を駆動するための駆動パルスであり、 $\phi_{on}$ が図12に示すように、NANDゲートG11、インバータI(I6~I9)からなるリングオシレータの入力信号であり、また $\phi$ がリングオシレータの出力信号である。

【0048】このような構成において、 $\phi_{on}$ がローからハイに変わると発振が始まり、昇圧回路の駆動中には $\phi_{on}$ がハイに固定される。 $\phi_{on}$ がローからハイに変わって時間 $\tau_1$ が経過するまでは、電荷転送ゲートであるnMOSトランジスタQn8~Qn11がオン、Qn5~Qn7がオフするため、DタイプnMOSトランジスタで構成される4つの昇圧用キャパシタQD1~QD4は、それぞれ出力に対して並列に駆動される。

【0049】その後、時間 $\tau_2$ が経過するまでは、電荷転送ゲートQn5, Qn7, Qn8, Qn10がオン、Qn6, Qn9, Qn11がオフするため、キャパシタQD1, QD2とQD3, QD4はそれぞれ昇圧セル群を構成し、昇圧回路はこれら昇圧セル群を並列にして駆動される。より具体的には、キャパシタQD1の電荷をQD2に転送した後、QD2の電荷を出力端に供給することにより、結果として第1及び第2の昇圧セルを直列接続したことになる。同様に、キャパシタQD3の電荷をQD4に転送した後、QD4の電荷を出力端に供給することにより、結果として第3及び第4の昇圧セルを直列接続したことになる。

【0050】さらに、時間 $\tau_2$ が経過した以降は、キャパシタQD1~QD4は出力に対して直列に接続される。この場合も、キャパシタQD1~QD3の電荷をQD4に順次転送した後、QD4の電荷を出力端に供給することにより、結果として第1~第4の昇圧セルが直列接続されたことになる。ここで、時間 $\tau_1$ 及び $\tau_2$ は予め設定されている。

【0051】このように本実施例では、可変クロックによって昇圧セルの出力に対する接続状態を切り換えることができ、従って第1の実施例と同様の効果が得られる。なお、ここでは4つの昇圧セルで構成される昇圧回路の例を述べたが、これに限らず任意の数の昇圧セルで構成される昇圧回路に適用できるのは勿論である。

(実施例8) 図13は、本発明の第8の実施例に係わる昇圧回路の具体的構成を示す回路構成図である。各々の昇圧セルは前記図19(b)に示したものと等価であり、QD(QD5~QD20)はキャパシタ、Qn(Qn12

～Qn35)はnMOSTランジスタを示し、特に段数容量可変手段としてQD5～QD10及びQn12～Qn20を付加したことを特徴としている。なお、この種の昇圧回路の基本原理は、文献(ISSCC 89 SESSION 10 THAM 10.3 p132-133)に開示されている。

【0052】駆動パルス $\phi_{11}$ ～ $\phi_{14}$ は、図14(a)に示すように、NANDゲートG(G12～G21)、インバータI(I10～I14)及び遅延回路D2からなる論理回路の出力として与えられる。駆動パルス $\phi_{21}$ ～ $\phi_{25}$ は、図14(b)に示すように、NANDゲートG(G22～G29)、インバータI(I15～I21)及び遅延回路D3からなる論理回路の出力として与えられる。

【0053】駆動パルス $\phi_{16}$ ～ $\phi_{17}$ は、図15(a)に示すように、NANDゲートG(G30～G33)、インバータI(I22～I24)及び遅延回路D4からなる論理回路の出力として与えられ、駆動パルス $\phi_{26}$ ～ $\phi_{27}$ は、図15(b)に示すように、NANDゲートG(G34～G\*

\*37)、インバータI(I25～I27)及び遅延回路D5からなる論理回路の出力として与えられる。

【0054】また、これらの回路に入力される駆動パルス $\phi_{R1}$ ～ $\phi_{R4}$ は、図16(a)に示すように、NANDゲートG(G38, G40, G41)、NORゲートG(G39, G42)、インバータI(I28～I37)及び遅延回路D(D6～D8)からなるリングオシレータの出力から与えられる。さらに駆動パルス $\phi_{on2}$ は、 $\phi_{on1}$ を図16(b)に示すように遅延回路D8を介して与えられる。

【0055】そして、これらの駆動パルス $\phi_{11}$ ～ $\phi_{18}$ 、 $\phi_{21}$ ～ $\phi_{28}$ は、図17で表わされる波形を持つリングオシレータの出力 $\phi_{R1}$ ～ $\phi_{R4}$ を用いて、下記の(表1)のように表わすことができる。

【0056】

【表1】

		時 刻		
		$0 \leq t < \tau_0$	$\tau_0 \leq t < \tau$	$\tau \leq t$
駆 動 パ ル ス	$\phi_{11}$	$\phi_{R1}$	$\phi_{R1}$	$\phi_{R2}$
	$\phi_{12}$	$\phi_{R1}$	$\phi_{R2}$	$\phi_{R1}$
	$\phi_{13}$	$\phi_{R1}$	$\phi_{R2}$	$\phi_{R2}$
	$\phi_{14}$	$\phi_{R1}$	$\phi_{R1}$	$\phi_{R1}$
	$\phi_{15}$	$\phi_{R2}$	$\phi_{R2}$	$\phi_{R2}$
	$\phi_{16}$	$\phi_{R2}$	L	L
	$\phi_{17}$	$\phi_{R2}$	$\phi_{R1}$	L
	$\phi_{18}$	$\phi_{R2}$	L	L
	$\phi_{21}$	$\phi_{R4}$	$\phi_{R4}$	$\phi_{R3}$
	$\phi_{22}$	L	$\phi_{R3}$	$\phi_{R4}$
	$\phi_{23}$	L	L	$\phi_{R3}$
	$\phi_{24}$	L	$\phi_{R4}$	$\phi_{R4}$
	$\phi_{25}$	$\phi_{R3}$	$\phi_{R3}$	$\phi_{R3}$
	$\phi_{26}$	$\phi_{R3}$	L	L
	$\phi_{27}$	$\phi_{R3}$	$\phi_{R4}$	L
	$\phi_{28}$	$\phi_{R3}$	L	L

ここで、(表1)において $t$ は昇圧回路の駆動開始時刻から測られた時間を表す。従って、昇圧回路の駆動開始から( $\phi_{on1}$ がローからハイに変わってから)時間 $\tau_0$ が経過するまでは、DタイプnMOSTランジスタで構成される4つのキャパシタQD12, QD14, QD16, QD18が、それぞれ出力に対して並列に接続され、その後時間 $\tau$ が経過するまでは、キャパシタQD12, QD14とQD16, QD18はそれぞれ昇圧セル群を構成し、昇圧回路はこれら昇圧セル群を並列にして駆動される。さらにそれ以降は、これら4つのキャパシタは出力に対して直列に駆動される。

40※【0057】このように本実施例では、可変クロックによって昇圧セルの出力に対する接続状態を切り換えることができ、従って第1の実施例と同様の効果が得られる。なお、ここでも昇圧セルの数は何等限定されず、任意の数の昇圧セルで構成される昇圧回路に適用できるのは勿論である。

【0058】以上述べた第1～第8の実施例の昇圧回路は、例えば特開平1-173654号公報の第9図に示される如きNAND型不揮発性メモリに用いられる昇圧回路に変えて用いることが可能である。また、NAND型不揮発性メモリに限らず、NOR型不揮発性メモリでもよく、

要は、昇圧回路を具備する半導体装置に対して本発明は適用可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0059】

【発明の効果】以上詳述したように本発明によれば、昇圧セル群の並列接続数及び昇圧セル群内の昇圧セル数を可変する構成としているので、特に出力電位が低い場合は多数の昇圧セルを出力に対して並列接続された昇圧回路とすることにより、出力電位が低い間の電力効率を上げることができ、昇圧電位立上がり時間を短縮し得る昇圧回路、及びこのような昇圧回路を備えた不揮発性半導体記憶装置を実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わる昇圧回路の概略構成を示すブロック図。

【図2】第1の実施例における昇圧セル群の接続状態を示す模式図。

【図3】第1の実施例における出力波形を従来と比較して示す特性図。

【図4】第2の実施例に係わる昇圧回路の概略構成を示すブロック図。

【図5】第3の実施例に係わる昇圧回路の概略構成を示すブロック図。

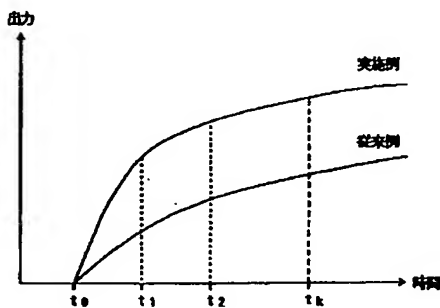
【図6】第4の実施例に係わる昇圧回路の概略構成を示すブロック図。

【図7】第5の実施例に係わる昇圧回路を示すもので、接続切換え回路の具体的構成を示す回路構成図。

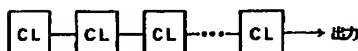
【図8】第6の実施例に係わる昇圧回路を示すもので、接続切換え回路の具体的構成を示す回路構成図。

【図9】図8の昇圧回路に用いたブート回路の具体的構成を示す回路構成図。

【図3】



【図18】



【図10】図9のブート回路における各部の信号波形図。

【図11】第7の実施例に係わる昇圧回路の具体的構成を示す回路構成図。

【図12】第7の実施例における駆動パルス波形を示す図。

【図13】第8の実施例に係わる昇圧回路の具体的構成を示す回路構成図。

【図14】第8の実施例における駆動パルス生成回路を示す図。

【図15】第8の実施例における駆動パルス生成回路を示す図。

【図16】第8の実施例における駆動パルス生成回路を示す図。

【図17】第8の実施例における駆動パルス波形を示す図。

【図18】従来の昇圧回路の概略構成を示すブロック図。

【図19】従来の昇圧セルを示す回路構成図。

【図20】従来の昇圧回路のより具体的な回路構成及びクロック波形を示す図。

【符号の説明】

10...昇圧セル

20...昇圧セル群

30...接続切換え回路

40...出力電圧検出回路

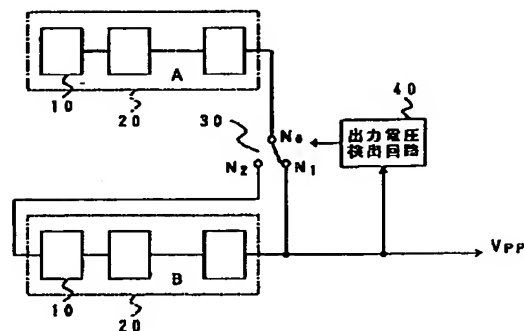
50...接続切換えカウンタ

60...コマンドバッファ

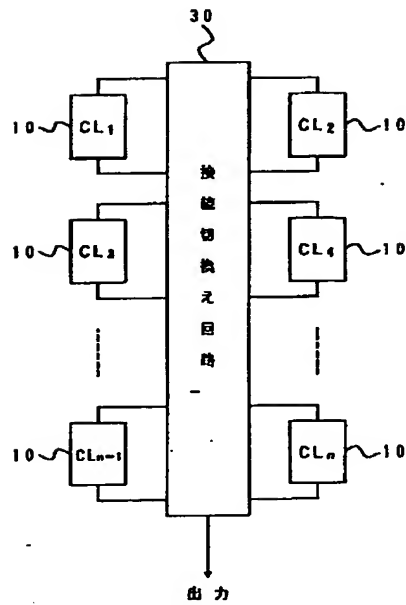
70...入力バッファ

80...ブート回路

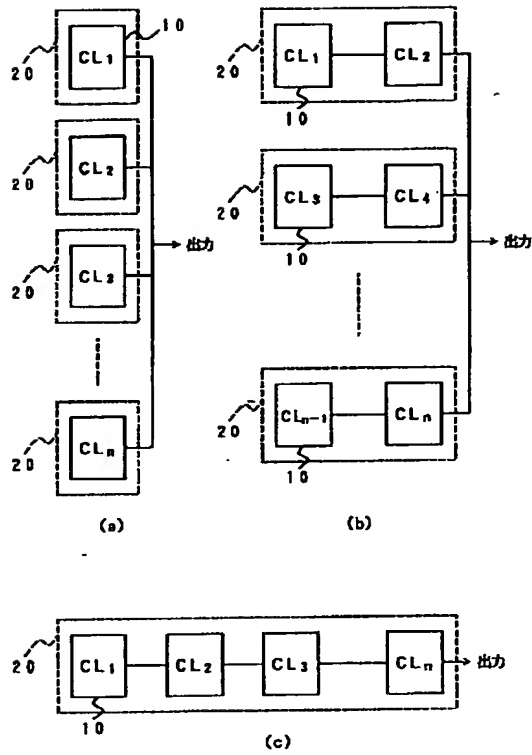
【図4】



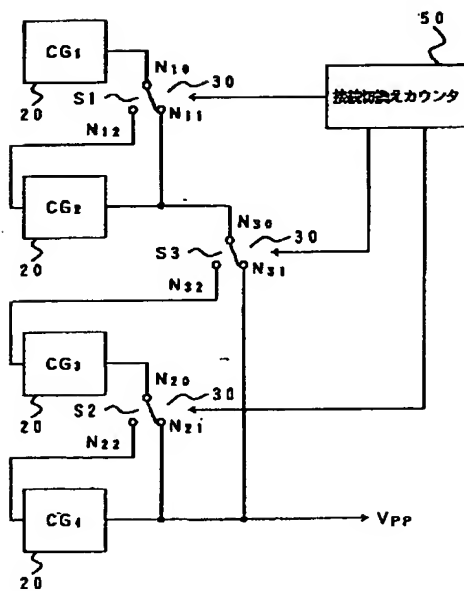
【図1】



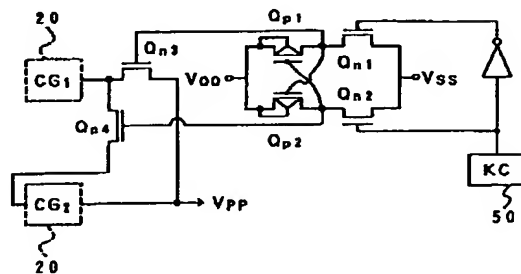
【図2】



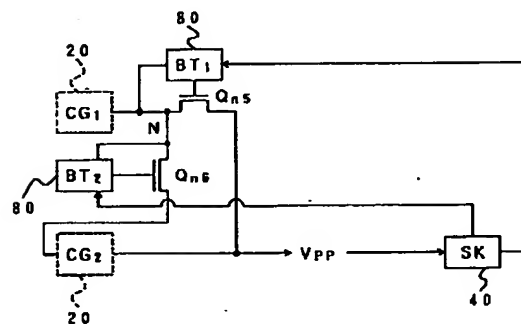
【図5】



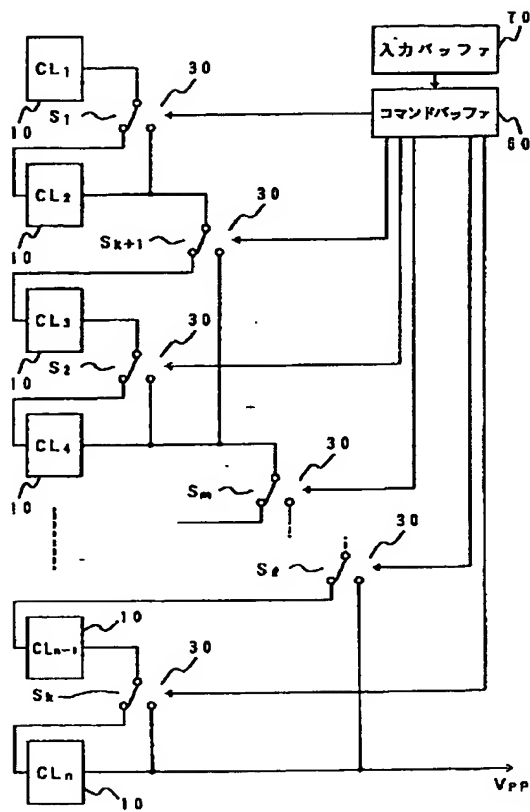
【図7】



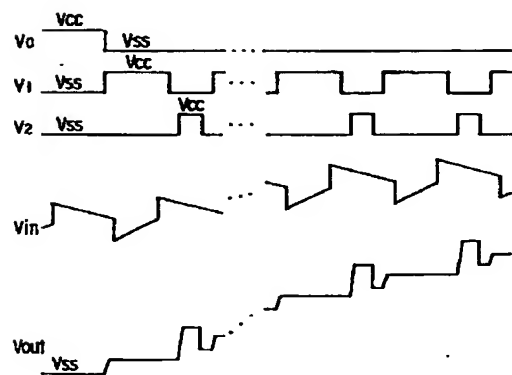
【図8】



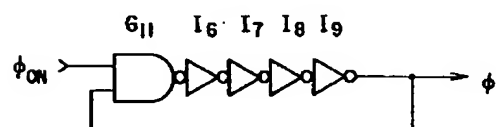
【図6】



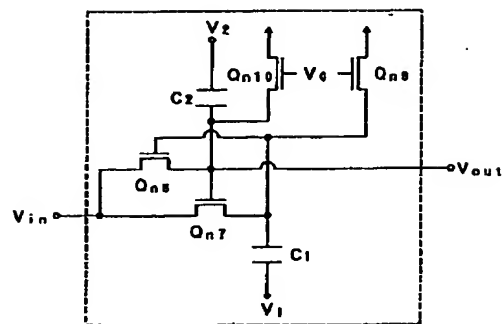
【図10】



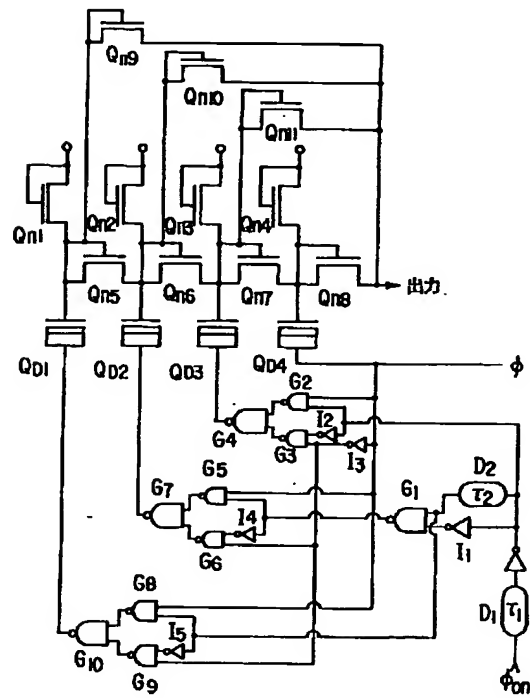
【図12】



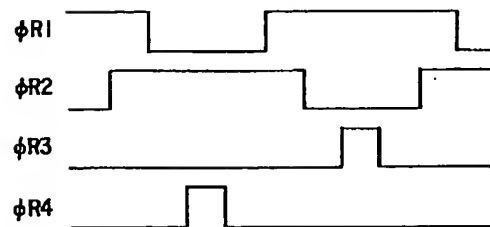
【図9】



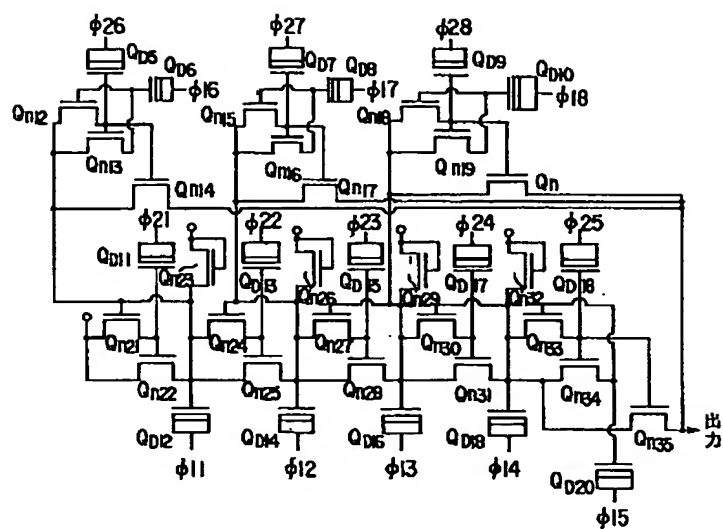
【図11】



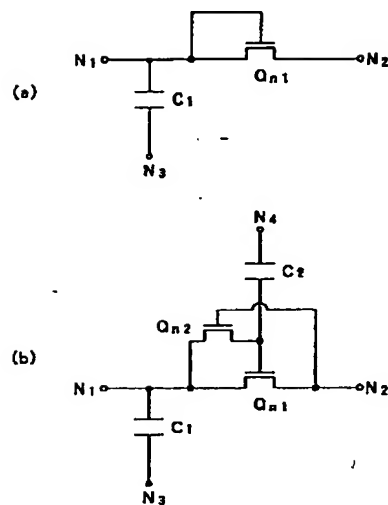
【図17】



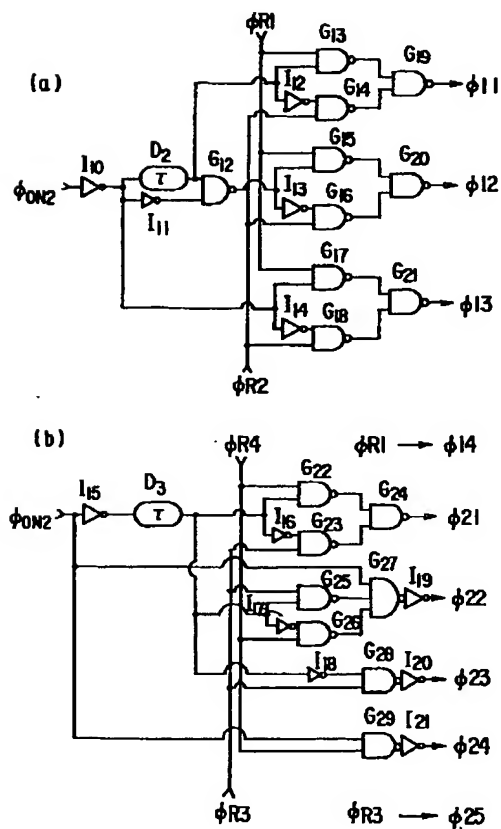
【図13】



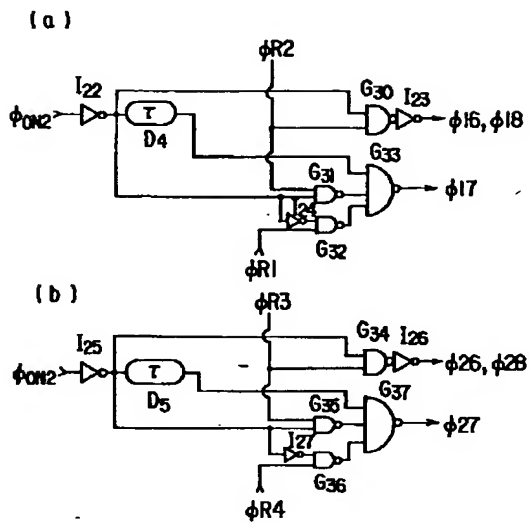
【図19】



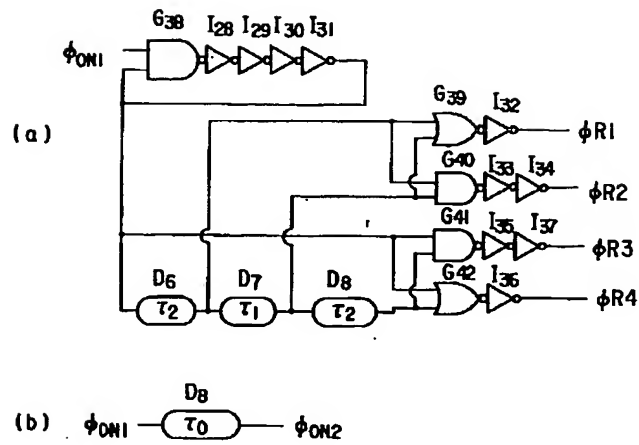
【図14】



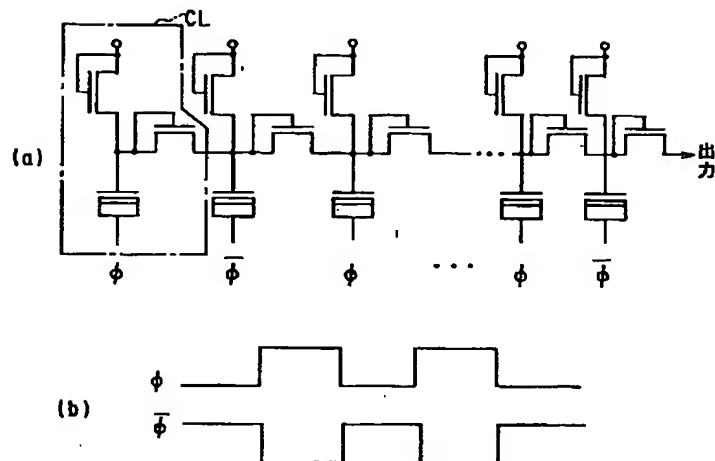
【図15】



【図16】



【図20】



フロントページの続き

(72)発明者 田中 義幸

神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内